



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000156479 A**(43) Date of publication of application: **06.06.00**

(51) Int. Cl.

**H01L 27/108**  
**H01L 21/8242**
(21) Application number: **10331243**(71) Applicant: **SONY CORP**(22) Date of filing: **20.11.98**(72) Inventor: **ONO KEIICHI**(54) **SEMICONDUCTOR MEMORY AND FABRICATION THEREOF**

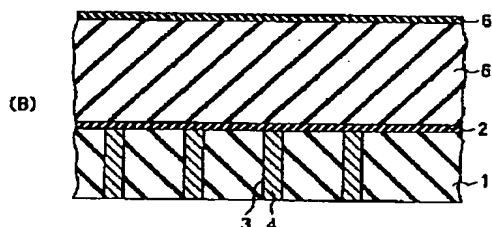
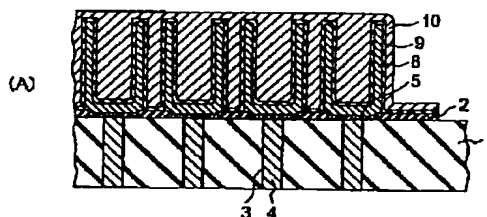
suppressing delamination.

COPYRIGHT: (C)2000,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To prevent reaction between silicon and an electrode material by forming no adhesion layer or a barrier layer on the side wall part of a cylinder type electrode and forming only a barrier layer at the lower part of the electrode thereby preventing capacity loss or junction leakage attributed to the adhesion layer or barrier layer on the side wall part of the electrode.

**SOLUTION:** A contact hole 3 is made in an interlayer insulation film 1 and a polysilicon plug 4 is formed therein. A cylinder type lower electrode 8 is formed on the polysilicon plug 4 through a barrier layer 5 and covered with a capacitor insulating film 9 and an upper electrode 10. The barrier layer 5 or an adhesion layer is not formed on the side wall of the lower electrode 8. Consequently, capacity loss or increase of leakage current attributed to the barrier layer on the side wall part of the electrode can be suppressed while preventing reaction between the plug material and the electrode material. The lower electrode 8 can be formed while



PARTIAL TRANSLATION OF JAPANESE UNEXAMINED PATENT PUBLICATION  
(KOKAI) NO. 2000-156479

Title of the Invention: Semiconductor Memory Device and its  
Production Process

Publication Date: June 6, 2000

Patent Application No. 10-331243

Filing Date: November 20, 1998

Applicant: Sony Corp.

(Detailed Description of the Invention)

[0032]

Subsequently, as shown in Fig. 3(A), a laminated film of Ti layer and TiN layer (hereinafter, Ti/TiN layer) is formed by using a layer formation method enabling a high directivity such as collimated sputtering. The layer formation is carried out while preventing a deposition of the Ti/TiN layer onto a side wall of the opening formed in a first oxide film 6. The Ti/TiN film deposited on an upper surface portion of the interlayer insulating film 1 and the plug 4 can act as a barrier layer 5. Further, the Ti/TiN film deposited on an upper portion and side surface of the second oxide film 6' can act as an adhesion layer 7 between the second oxide film 6' and a metal material of the lower electrode 8.

[0033]

After formation of the Ti/TiN film, the thermal treatment at about 650°C, suitably RTA (rapid thermal annealing), is carried out to react a surface of polysilicone plug 4 with the Ti layer to thereby form silicide. Accordingly, contact resistance between the polysilicone plug 4 and the overlying capacitor electrode can be reduced. Further, upon the thermal treatment, the TiN layer is modified to a dense state, thereby enabling to increase its

function as the adhesion layer 7.

[0034]

Next, as shown in Fig. 3(B), a tungsten layer (W layer) or tungsten nitride (WN layer) 8 which constitutes a lower electrode of the capacitor electrode) is formed over a full surface of the first oxide film 6 including a side wall portion thereof. Formation of the W or WN layer 8 can be carried out with sputtering or metal CVD method. In this step, since the sacrifice film (second oxide film 6') has an adhesion layer 7 consisting of a Ti/TiN layer formed on an upper portion thereof, a separation of the W or WN layer 8 from the second oxide layer 6' can be prevented.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-156479

(P2000-156479A)

(43)公開日 平成12年6月6日(2000.6.6)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 27/108  
21/8242

識別記号

F I

H 0 1 L 27/10

テマコート<sup>\*</sup>(参考)

6 2 1 C 5 F 0 8 3

審査請求 未請求 請求項の数35 O L (全 13 頁)

(21)出願番号 特願平10-331243  
(22)出願日 平成10年11月20日(1998.11.20)

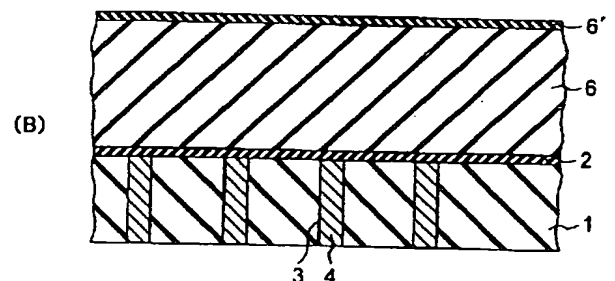
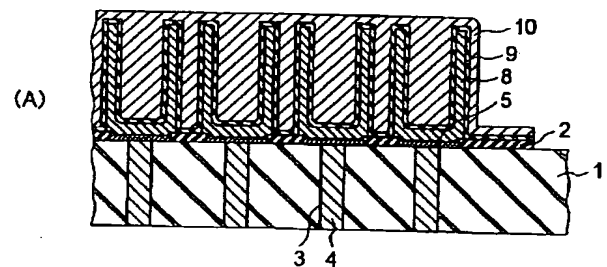
(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72)発明者 大野 圭一  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内  
(74)代理人 100094053  
弁理士 佐藤 隆久  
Fターム(参考) 5F083 AD24 GA21 GA22 GA30 JA06  
JA14 JA32 JA33 JA35 JA39  
JA40 JA56 MA05 MA06 MA18  
PR05 PR34 PR39 PR40

(54)【発明の名称】 半導体記憶装置およびその製造方法

(57)【要約】

【課題】MIM構造のシリンダ型キャパシタを有する半導体記憶装置において、電極側壁部の密着層あるいはバリア層に起因する容量損失や接合リークが防止され、かつシリコンと電極材料との反応が防止された半導体記憶装置およびその製造方法を提供する。

【解決手段】半導体基板上に形成され、ポリシリコンプラグ4が埋め込まれたコンタクトホール3を有する層間絶縁膜1と、プラグ4の上部を被覆するバリア層5と、バリア層5の上部に筒状に形成された下部電極8と、下部電極8の表面に形成された誘電体からなるキャパシタ絶縁膜9と、キャパシタ絶縁膜9の表面に形成された上部電極10とを有する半導体記憶装置およびその製造方法。



## 【特許請求の範囲】

【請求項1】能動素子が形成された半導体基板と、

前記半導体基板上に形成された層間絶縁膜と、  
前記層間絶縁膜に設けられた、前記能動素子の表面まで達するコンタクトホールと、

前記コンタクトホール内に形成された、導電体からなるプラグと、

前記層間絶縁膜の表面に、少なくとも前記プラグの上部を被覆するように形成されたバリア層と、

前記バリア層上部に形成された底面と、前記底面から上方に形成された側面からなる筒状の下部電極と、

前記下部電極の表面に形成された、誘電体からなるキャパシタ絶縁膜と、

前記キャパシタ絶縁膜の表面に形成された上部電極とを有する半導体記憶装置。

【請求項2】前記プラグはシリコンからなり、前記下部電極はタングステンからなる請求項1記載の半導体記憶装置。

【請求項3】前記プラグはシリコンからなり、前記下部電極は窒化タングステンからなる請求項1記載の半導体記憶装置。

【請求項4】前記バリア層はチタンからなる請求項1記載の半導体記憶装置。

【請求項5】前記バリア層はチタンおよび窒化チタンの積層膜からなる請求項1記載の半導体記憶装置。

【請求項6】前記キャパシタ絶縁膜は酸化タンタルからなる請求項1記載の半導体記憶装置。

【請求項7】前記上部電極はチタンからなる請求項1記載の半導体記憶装置。

【請求項8】半導体基板上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に前記半導体基板表面まで達するコンタクトホールを設ける工程と、

前記コンタクトホール内に導電体からなるプラグを形成する工程と、

全面に犠牲膜を形成する工程と、

前記コンタクトホール上部の前記犠牲膜に、前記プラグ表面まで達し、上端が下端よりも狭い開口を設ける工程と、

前記開口の側壁を除く全面に第1の金属層を成膜することにより、前記犠牲膜の上部に密着層を形成し、前記開口の底部にバリア層を形成する工程と、

前記開口の側壁を含む全面に、第2の金属層を形成する工程と、

前記密着層および前記密着層上部の前記第2の金属層を除去し、前記開口内に筒状の下部電極を形成する工程と、

前記犠牲膜を除去する工程と、

前記下部電極の表面に、誘電体からなるキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜の表面に上部電極を形成する工程とを有する半導体記憶装置の製造方法。

【請求項9】前記密着層および前記密着層上部の前記第2の金属層を除去し、前記下部電極を形成する工程は、前記密着層が除去されるまで全面に化学的機械研磨(CMP)を行う工程である請求項8記載の半導体記憶装置の製造方法。

【請求項10】前記密着層および前記密着層上部の前記第2の金属層を除去し、前記下部電極を形成する工程

は、前記開口内に埋め込み犠牲膜を形成し、全面にエッチバックを行う工程であり、

前記犠牲膜を除去する工程は、前記犠牲膜および前記埋め込み犠牲膜を除去する工程である請求項8記載の半導体記憶装置の製造方法。

【請求項11】全面に前記犠牲膜を形成する工程は、第1の犠牲膜を形成する工程と、

前記第1の犠牲膜の上層に、前記第1の犠牲膜よりも十分に膜厚が薄く、かつエッチング選択比の小さい第2の犠牲膜を形成する工程とを有し、

前記犠牲膜に前記開口を設ける工程は、前記第2の犠牲膜における前記開口の口径が、前記第1の犠牲膜における前記開口の口径よりも相対的に狭くなるようにエッチングを行う工程である請求項8記載の半導体記憶装置の製造方法。

【請求項12】前記犠牲膜に前記開口を設ける工程は、レジストをマスクとして前記第2の犠牲膜および前記第1の犠牲膜に異方性エッチングを行い、前記プラグ表面まで達する開口を設ける工程と、

前記開口に等方性エッチングを行い、前記第1の犠牲膜の側壁を前記第2の犠牲膜の側壁よりも相対的に大きくエッチングする工程とを有する請求項11記載の半導体記憶装置の製造方法。

【請求項13】前記犠牲膜の上部に密着層を形成する工程は、前記第2の犠牲膜の上部および側壁に前記密着層を形成する工程である請求項11記載の半導体記憶装置の製造方法。

【請求項14】前記第1の犠牲膜はPSG(phosphosilicate glass)からなり、前記第2の犠牲膜はNSG(non-doped silicate glass)からなる請求項11記載の半導体記憶装置の製造方法。

【請求項15】前記第1の犠牲膜はBPSG(borophosphosilicate glass)からなり、前記第2の犠牲膜はNSG(non-doped silicate glass)からなる請求項11記載の半導体記憶装置の製造方法。

【請求項16】前記密着層および前記密着層上部の前記第2の金属層を除去し、前記下部電極を形成する工程は、前記第2の犠牲膜が除去されるまで全面に化学的機械研磨(CMP)を行う工程である請求項11記載の半

導体記憶装置の製造方法。

【請求項 17】前記プラグはシリコンからなり、前記下部電極はタングステンからなる請求項 8 記載の半導体記憶装置の製造方法。

【請求項 18】前記プラグはシリコンからなり、前記下部電極は窒化タングステンからなる請求項 8 記載の半導体記憶装置の製造方法。

【請求項 19】前記犠牲膜は酸化シリコンからなる請求項 8 記載の半導体記憶装置の製造方法。

【請求項 20】前記密着層および前記バリア層は、チタンからなる請求項 8 記載の半導体記憶装置の製造方法。

【請求項 21】前記密着層および前記バリア層は、チタンおよび窒化チタンの積層膜からなる請求項 8 記載の半導体記憶装置の製造方法。

【請求項 22】前記キャパシタ絶縁膜は酸化タンタルからなる請求項 8 記載の半導体記憶装置の製造方法。

【請求項 23】半導体基板上に層間絶縁膜を形成する工程と、  
前記層間絶縁膜に前記半導体基板表面まで達するコンタクトホールを設ける工程と、  
前記コンタクトホール内に導電体からなるプラグを形成する工程と、

全面にバリア層を形成する工程と、  
前記バリア層の上層の全面に、犠牲膜を形成する工程と、

前記犠牲膜の上層の全面に、密着層を形成する工程と、  
前記コンタクトホール上部の前記密着層に、開口を設ける工程と、

前記密着層をマスクとして、前記コンタクトホール上部の前記犠牲膜に、前記プラグ表面まで達する開口を設ける工程と、

前記開口の側壁を含む全面に、金属層を形成する工程と、

前記密着層および前記密着層上部の前記金属層を除去し、前記開口内に筒状の下部電極を形成する工程と、  
前記犠牲膜を除去する工程と、

前記下部電極をマスクとして、前記バリア層をエッチング除去する工程と、

前記下部電極の表面に、誘電体からなるキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜の表面に上部電極を形成する工程とを有する半導体記憶装置の製造方法。

【請求項 24】前記密着層および前記密着層上部の前記金属層を除去し、前記下部電極を形成する工程は、前記密着層が除去されるまで全面に化学的機械研磨（CMP）を行う工程である請求項 23 記載の半導体記憶装置の製造方法。

【請求項 25】前記密着層および前記密着層上部の前記金属層を除去し、前記下部電極を形成する工程は、前記開口内に埋め込み犠牲膜を形成し、全面にエッチバック

を行う工程であり、

前記犠牲膜を除去する工程は、前記犠牲膜および前記埋め込み犠牲膜を除去する工程である請求項 23 記載の半導体記憶装置の製造方法。

【請求項 26】前記プラグはシリコンからなり、前記下部電極はタングステンからなる請求項 23 記載の半導体記憶装置の製造方法。

【請求項 27】前記プラグはシリコンからなり、前記下部電極は窒化タングステンからなる請求項 23 記載の半導体記憶装置の製造方法。

【請求項 28】前記犠牲膜は酸化シリコンからなる請求項 23 記載の半導体記憶装置の製造方法。

【請求項 29】前記密着層はチタンからなる請求項 23 記載の半導体記憶装置の製造方法。

【請求項 30】前記密着層は窒化チタンからなる請求項 23 記載の半導体記憶装置の製造方法。

【請求項 31】前記密着層は、チタンおよび窒化チタンの積層膜からなる請求項 23 記載の半導体記憶装置の製造方法。

【請求項 32】前記バリア層はチタンからなる請求項 23 記載の半導体記憶装置の製造方法。

【請求項 33】前記バリア層は窒化チタンからなる請求項 23 記載の半導体記憶装置の製造方法。

【請求項 34】前記バリア層は、チタンおよび窒化チタンの積層膜からなる請求項 23 記載の半導体記憶装置の製造方法。

【請求項 35】前記キャパシタ絶縁膜は酸化タンタルからなる請求項 23 記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置およびその製造方法に関し、特に、金属からなる上下電極と金属酸化膜等からなるキャパシタ絶縁膜を有する MIM (Metal Insulator Metal) 型のメモリセルを有する半導体記憶装置およびその製造方法に関する。

【0002】

【従来の技術】代表的な半導体記憶装置である DRAM のメモリセルは、1 個のトランジスタと 1 個の容量素子（キャパシタ）から構成される。従来、メモリセルのキャパシタ構造はプレーナー型（平坦型）であったが、半導体記憶装置の微細化・高集積化に伴い、4 Mb 世代以降はスタック型（積層型）あるいはトレンチ型（溝型）等の 3 次元的構造が採用されるようになった。スタック型キャパシタは、キャパシタの主要部をゲート電極やフィールド酸化膜の上部まで延在させてキャパシタ電極対の面積を増大させ、これによりキャパシタ容量を確保するものである。スタック型キャパシタとしては、円筒型の電極を有するシリンダ型キャパシタが代表的な形状である。

【0003】従来のスタック型キャパシタは上下電極が半導体から形成され、上下電極間にシリコン窒化膜系のキャパシタ絶縁膜を有するSIS (Silicon Insulator Silicon) 型であった。キャパシタ絶縁膜としてシリコン酸化膜あるいはシリコン窒化膜よりも誘電率の高い $Ta_2O_5$ 等の金属酸化物が用いられるようになったことに伴い、現在では金属からなる上下電極を有するMIM型キャパシタに移行している。

【0004】半導体記憶装置の記憶ノード電極として用いられるシリンドラ型キャパシタの電極は、シリコン酸化膜からなる犠牲膜を凹状あるいは凸状に形成し、これを型として形成される。従来のMIM構造のシリンドラ型キャパシタの形成方法について、図9～図12を参照して説明する。図9～図10はシリンドラ型電極の内部に犠牲膜が配置される場合であり、図11～図12はシリンドラ型電極の周囲に犠牲膜が配置される場合である。

【0005】シリンドラ型電極の内部に犠牲膜が配置される場合は、まず、図9(A)に示すように、例えばシリコン酸化膜からなる層間絶縁膜1の上層に、エッチングストップパー層としてのシリコン窒化膜( $Si_3N_4$ 層)2を形成する。エッチングにより $Si_3N_4$ 層2および層間絶縁膜1にコンタクトホール3を形成し、コンタクトホール3を埋め込むようにポリシリコン(あるいは導電性のアモルファスシリコン)プラグ4を形成する。その上層の全面に、バリア層5となるTi層あるいはTiと窒化チタン(TiN)の積層膜を形成してから、シリンドラ形状のキャパシタ電極を形成するための犠牲膜となるシリコン酸化膜6を形成する。

【0006】次に、図9(B)に示すように、ポリシリコンプラグ4上部の酸化膜6のみ残し、酸化膜6およびバリア層5をエッチングにより除去する。シリコン酸化膜6と、下部電極となる金属層との層間剥離を防止するため、酸化膜6の側壁を含む全面に密着層7としてTiあるいはTi/TiN層(積層膜)を形成する。密着層7の上層に下部電極となる金属層8として、例えばタングステン(W)層あるいは窒化タングステン(WN)層を成膜する。

【0007】次に、図10(A)に示すように、CMP(化学的機械研磨chemical mechanical polishing)を行って酸化膜6上部のWまたはWN層8、および密着層7を除去してから、電極間の酸化膜6をエッチングにより除去する。あるいは、電極間を埋め込むように酸化膜(不図示)を形成してから全面エッチバックを行うことにより、酸化膜6上部の下部電極8と密着層7を除去してもよい。その場合には、全面エッチバックを行った後、例えばフッ酸を用いたエッチングにより電極間の酸化膜6および埋め込み酸化膜(不図示)を除去する。

【0008】その後、図10(B)に示すように、密着

層7および下部電極8を被覆するように、全面に $Ta_2O_3$ 等の誘電体からなるキャパシタ絶縁膜9を形成する。全面に、上部電極10として例えばTiからなる金属層を形成してから、上部電極10、キャパシタ絶縁膜9および $Si_3N_4$ 層2のパターニングを行うことにより、記憶ノード電極が形成される。

【0009】一方、シリンドラ型電極の周囲に犠牲膜を配置させることにより記憶ノード電極を形成する場合には、まず、図11(A)に示すように、上記のシリンドラ型電極の内部に犠牲膜が配置される場合と同様に、層間絶縁膜1の上層にエッチングストップパー層として $Si_3N_4$ 層2を形成し、これらの層にコンタクトホール3を設けてから、コンタクトホール3を埋め込むようにポリシリコンプラグ4を形成する。その上層に、シリンドラ形状のキャパシタ電極を形成するための犠牲膜となるシリコン酸化膜6を形成する。

【0010】次に、図11(B)に示すように、ポリシリコンプラグ4上部の酸化膜6のみエッチングにより除去する。酸化膜6の側壁を含む全面に、密着層7として例えばTiまたはTi/TiN層を形成し、その上層に下部電極8として例えばW層またはWN層を形成する。密着層7はポリシリコンプラグ4との界面において、ポリシリコンと下部電極8の金属材料との反応を防止するためのバリア層としても機能する。

【0011】続いて、図12(A)に示すように、CMPを行って酸化膜6上部の下部電極8および密着層7を除去してから、電極間の酸化膜6をエッチングにより除去する。あるいは、電極間を埋め込むように酸化膜(不図示)を形成してから、全面エッチバックを行って酸化膜6上部の下部電極8と密着層7を除去し、その後、例えばフッ酸を用いたエッチングにより電極間の酸化膜6および埋め込み酸化膜(不図示)を除去してもよい。

【0012】その後、図12(B)に示すように、密着層7と下部電極8を被覆するように、全面に $Ta_2O_3$ 等の誘電体からなるキャパシタ絶縁膜9を形成する。さらに、全面に上部電極10となるTi等の金属層を形成してから、上部電極10、キャパシタ絶縁膜9および $Si_3N_4$ 層2のパターニングを行うことにより、記憶ノード電極が形成される。

【0013】上記の従来のキャパシタ形成方法によれば、犠牲膜である酸化膜6と下部電極8との層間剥離を防止するため、酸化膜6の側壁を含む全面に密着層7を形成する。また、DRAMメモリの記憶ノードには、接合リークを低減するためポリシリコンプラグが使用されることが多いが、電極材料の金属とポリシリコンとの反応を防止するために、例えばTiあるいはTi/TiN積層膜からなるバリア層(反応防止層)5を形成する必要がある。したがって、図10(B)あるいは図12(B)に示すように、シリンドラ電極の側壁部が密着層またはバリア層により被覆された構造となる。

## 【0014】

【発明が解決しようとする課題】しかしながら、シリンドラ型キャパシタの側壁部はキャパシタ電極対の面積に最も大きく寄与する部分であり、シリンドラ状の電極側壁部に密着層あるいはバリア層が形成されていると、キャパシタの容量損失やキャパシタ絶縁膜のリーク電流増加の要因となる。本発明は上記の問題点を鑑みてなされたものであり、したがって本発明は、MIM構造のシリンドラ型キャパシタを有する半導体記憶装置において、電極側壁部の密着層あるいはバリア層に起因する容量損失や接合リークが防止され、かつシリコンと電極材料との反応が防止された半導体記憶装置およびその製造方法を提供することを目的とする。

## 【0015】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体記憶装置は、能動素子が形成された半導体基板と、前記半導体基板上に形成された層間絶縁膜と、前記層間絶縁膜に設けられた前記能動素子の表面まで達するコンタクトホールと、前記コンタクトホール内に形成された導電体からなるプラグと、前記半導体基板表面に少なくとも前記プラグの上部を被覆するように形成されたバリア層と、前記バリア層上部に形成された底面と前記底面から上方に形成された側面からなる筒状の下部電極と、前記下部電極の表面に形成された誘電体からなるキャパシタ絶縁膜と、前記キャパシタ絶縁膜の表面に形成された上部電極とを有することを特徴とする。

【0016】本発明の半導体記憶装置は、好適には、前記プラグはシリコンからなり、前記下部電極はタングステンからなることを特徴とする。あるいは、本発明の半導体記憶装置は、好適には、前記プラグはシリコンからなり、前記下部電極は窒化タングステンからなることを特徴とする。本発明の半導体記憶装置は、好適には、前記バリア層はチタンからなることを特徴とする。あるいは、本発明の半導体記憶装置は、好適には、前記バリア層はチタンおよび窒化チタンの積層膜からなることを特徴とする。本発明の半導体記憶装置は、好適には、前記キャパシタ絶縁膜は酸化 tantalum からなることを特徴とする。また、本発明の半導体記憶装置は、好適には、前記上部電極はチタンからなることを特徴とする。

【0017】これにより、シリンドラ型キャパシタにおいてキャパシタ電極対の面積に最も大きく寄与する側壁部には密着層あるいはバリア層が形成されず、電極側壁部の密着層あるいはバリア層に起因する容量損失や、キャパシタ絶縁膜のリーク電流増加が防止される。一方、トランジスタとキャパシタとの電気的接続のためのポリシリコンプラグと、キャパシタの下部電極との界面には、バリア層が形成され、シリコンと電極材料との反応が防止される。上記の構造によれば、容量損失やリーク電流の低減によりキャパシタの実効面積を有効に使用するこ

とが可能となる。したがって、キャパシタ電極対の面積を縮小することが可能となり、シリンドラ型電極の高さを低減できる。これにより、キャパシタ周辺に形成されるコンタクトホールのアスペクト比が低減され、メモリセルを微細化できるため、半導体記憶装置の大容量化が可能となる。

【0018】さらに、上記の目的を達成するため、本発明の半導体記憶装置の製造方法は、半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜に前記半導体基板表面まで達するコンタクトホールを設ける工程と、前記コンタクトホール内に導電体からなるプラグを形成する工程と、全面に犠牲膜を形成する工程と、前記コンタクトホール上部の前記犠牲膜に、前記プラグ表面まで達し、上端が下端よりも狭い開口を設ける工程と、前記開口の側壁を除く全面に第1の金属層を成膜することにより、前記犠牲膜の上部に密着層を形成し、前記開口の底部にバリア層を形成する工程と、前記開口の側壁を含む全面に、第2の金属層を形成する工程と、前記密着層および前記密着層上部の前記第2の金属層を除去し、前記開口内に筒状の下部電極を形成する工程と、前記犠牲膜を除去する工程と、前記下部電極の表面に、誘電体からなるキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜の表面に上部電極を形成する工程とを有することを特徴とする。

【0019】本発明の半導体記憶装置の製造方法は、好適には、前記密着層および前記密着層上部の前記第2の金属層を除去し、前記下部電極を形成する工程は、前記密着層が除去されるまで全面に化学的機械研磨 (CMP) を行う工程であることを特徴とする。あるいは、本発明の半導体記憶装置の製造方法は、好適には、前記密着層および前記密着層上部の前記第2の金属層を除去し、前記下部電極を形成する工程は、前記開口内に埋め込み犠牲膜を形成し、全面にエッチバックを行う工程であり、前記犠牲膜を除去する工程は、前記犠牲膜および前記埋め込み犠牲膜を除去する工程であることを特徴とする。

【0020】本発明の半導体記憶装置の製造方法は、好適には、全面に前記犠牲膜を形成する工程は、第1の犠牲膜を形成する工程と、前記第1の犠牲膜の上層に前記第1の犠牲膜よりも十分に膜厚が薄く、かつエッチング選択比の小さい第2の犠牲膜を形成する工程とを有し、前記犠牲膜に前記開口を設ける工程は、前記第2の犠牲膜における前記開口の口径が前記第1の犠牲膜における前記開口の口径よりも相対的に狭くなるようにエッチングを行う工程であることを特徴とする。本発明の半導体記憶装置の製造方法は、さらに好適には、前記犠牲膜に前記開口を設ける工程は、レジストをマスクとして前記第2の犠牲膜および前記第1の犠牲膜に異方性エッチングを行い、前記プラグ表面まで達する開口を設ける工程と、前記開口に等方性エッチングを行い、前記第1の犠



性膜の側壁を前記第2の犠牲膜の側壁よりも相対的に大きくエッチングする工程とを有することを特徴とする。

【0021】本発明の半導体記憶装置の製造方法は、好適には、前記犠牲膜の上部に密着層を形成する工程は、前記第2の犠牲膜の上部および側壁に前記密着層を形成する工程であることを特徴とする。本発明の半導体記憶装置の製造方法は、好適には、前記第1の犠牲膜はPSG (phospho silicate glass) からなり、前記第2の犠牲膜はNSG (non-doped silicate glass) からなることを特徴とする。あるいは、本発明の半導体記憶装置の製造方法は、好適には、前記第1の犠牲膜はBPSG (borophospho silicate glass) からなり、前記第2の犠牲膜はNSGからなることを特徴とする。本発明の半導体記憶装置の製造方法は、好適には、前記密着層および前記密着層上部の前記第2の金属層を除去し、前記下部電極を形成する工程は、前記第2の犠牲膜が除去されるまで全面に化学的機械研磨 (CMP) を行う工程であることを特徴とする。

【0022】本発明の半導体記憶装置の製造方法は、好適には、前記プラグはシリコンからなり、前記下部電極はタングステンからなることを特徴とする。あるいは、本発明の半導体記憶装置の製造方法は、好適には、前記プラグはシリコンからなり、前記下部電極は窒化タングステンからなることを特徴とする。本発明の半導体記憶装置の製造方法は、好適には、前記犠牲膜は酸化シリコンからなることを特徴とする。また、本発明の半導体記憶装置の製造方法は、好適には、前記密着層および前記バリア層は、チタンまたはチタンおよび窒化チタンの積層膜からなることを特徴とする。本発明の半導体記憶装置の製造方法は、好適には、前記キャパシタ絶縁膜は酸化タンタルからなることを特徴とする。

【0023】これにより、犠牲膜に設けられた開口の側壁への密着層あるいはバリア層の堆積を防止することができる。したがって、コンタクトホール上部およびその近傍にのみバリア層を形成することができ、プラグ材料と下部電極との反応を防止しながら、電極側壁部における容量損失やリーク電流を抑制することが可能となる。

【0024】また、上記の目的を達成するため、本発明の半導体記憶装置の製造方法は、半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜に前記半導体基板表面まで達するコンタクトホールを設ける工程と、前記コンタクトホール内に導電体からなるプラグを形成する工程と、全面にバリア層を形成する工程と、前記バリア層の上層の全面に犠牲膜を形成する工程と、前記犠牲膜の上層の全面に密着層を形成する工程と、前記コンタクトホール上部の前記密着層に開口を設ける工程と、前記密着層をマスクとして前記コンタクトホール上部の前記犠牲膜に前記プラグ表面まで達する開口を設ける工程と、前記開口の側壁を含む全面に金属層を形成する工程

と、前記密着層および前記密着層上部の前記金属層を除去し、前記開口内に筒状の下部電極を形成する工程と、前記犠牲膜を除去する工程と、前記下部電極をマスクとして前記バリア層をエッチング除去する工程と、前記下部電極の表面に誘電体からなるキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜の表面に上部電極を形成する工程とを有することを特徴とする。

【0025】上記の本発明の半導体記憶装置の製造方法によれば、例えばタングステンあるいは窒化タングステンからなる下部電極 (金属層) をマスクとして、下層のバリア層にエッチングを行うため、シリンダ型の下部電極の底面にのみバリア層を形成することができる。これにより、プラグ材料と電極材料との反応を防止しながら、電極側壁部のバリア層に起因するキャパシタの容量損失あるいはリーク電流の増加を抑制することが可能となる。また、下部電極となる金属層を、例えば酸化膜からなる犠牲膜上に堆積する際には、犠牲膜の上層に密着層が形成されているため、層間剥離を抑制しながら金属層 (下部電極) を形成することができる。

#### 【0026】

【発明の実施の形態】以下に、本発明の半導体記憶装置およびその製造方法の実施の形態について、図面を参照して説明する。

(実施形態1) 図1 (A) は本実施形態の半導体記憶装置の記憶ノード電極部分を表す断面図である。層間絶縁膜1にコンタクトホール3が設けられており、コンタクトホール3内にはポリシリコンプラグ4が形成されている。ポリシリコンプラグ4の上部にはバリア層5を介してシリンダ型の下部電極8が形成されており、下部電極8を被覆するようにキャパシタ絶縁膜9および上部電極10が形成されている。下部電極8の側壁には、バリア層あるいは密着層は形成されない。

【0027】次に、上記の本実施形態の半導体記憶装置の製造方法について説明する。まず、図1 (B) に示すように、例えばシリコン酸化膜からなる層間絶縁膜1に、エッチングによりコンタクトホール3を形成する。コンタクトホール3を埋め込むように、全面にポリシリコン層を形成した後、層間絶縁膜1上のポリシリコン層をエッチバックあるいはCMPにより除去する。これにより、ポリシリコンプラグ4が形成される。あるいは、ポリシリコン層のかわりにアモルファスシリコン層を形成し、加熱により結晶化させてもよい。コンタクトホール内にプラグとして埋め込まれるシリコンは、不純物を含有して導電性であれば、上記のようにポリシリコンでもアモルファスシリコンでもよい。

【0028】シリコンからなるプラグ4が埋め込まれた層間絶縁膜1の上層に、例えば減圧CVD法によりシリコン窒化膜 ( $\text{Si}_3\text{N}_4$  層) 2を形成する。 $\text{Si}_3\text{N}_4$  層2は、エッチングストッパー層として機能する。 $\text{Si}_3\text{N}_4$  層2の上層に第1の酸化膜6と、第1の酸化膜6

よりもエッチング速度が遅い第2の酸化膜6'を積層させる。第1の酸化膜6はシリンドラ形状のキャパシタ電極を形成するための犠牲膜であり、キャパシタ電極の高さ程度の膜厚とする。第2の酸化膜6'は第1の酸化膜6のエッチングマスクであり、第1の酸化膜6よりも十分に薄く形成する。

【0029】第1の酸化膜6と第2の酸化膜6'とのエッチング速度を異ならせるには、例えば、第1の酸化膜6にリンやホウ素を含有するPSG (phosphosilicate glass) あるいはBPSG (boro-phosphosilicate glass) を用い、第2の酸化膜6'にNSG (nondoped natural silicate glass) を用いればよい。また、第2の酸化膜6'のかわりに、シリコン窒化膜等、第1の酸化膜6に対するエッチング選択比が小さい層を形成してもよい。

【0030】次に、図2(A)に示すように、レジスト(不図示)をマスクとして第2の酸化膜6'にエッチングを行い、開口を設ける。レジストを除去後、パターンニングされた第2の酸化膜6'をマスクとして第1の酸化膜6にエッチングを行い、プラグ4の上面を露出させる。第1の酸化膜6および第2の酸化膜6'のエッチングは、例えば反応性イオンエッチング(RIE)等、異方性のドライエッチングで行うことが好ましい。

【0031】次に、図2(B)に示すように、第1の酸化膜6に形成された開口内にフッ酸等を用いて等方性エッチングを行う。このとき、第1の酸化膜6と第2の酸化膜6'のエッチング選択比に差があることから、第2の酸化膜6'の側壁部分よりも第1の酸化膜6の側壁部分が相対的に多くエッチングされ(オーバーハング)、開口部が狭いトレンチとなる。

【0032】続いて、図3(A)に示すように、例えばコーメーテッドスパッタリング等、指向性の高い成膜方法によりTi層およびTiN層の積層膜(以下、Ti/TiN層)を成膜する。この成膜は、第1の酸化膜6に設けられた開口の側壁へのTi/TiN層の堆積を防止しながら行う。層間絶縁膜1およびプラグ4の上面部に堆積されたTi/TiN層はバリア層5として機能する。また、第2の酸化膜6'の上部および側面に堆積されたTi/TiN層は、第2の酸化膜6'と下部電極8の金属材料との密着層7として機能する。

【0033】Ti/TiN層を成膜後、650℃程度の熱処理、好適にはRTA (rapid thermal annealing) を行ってポリシリコンプラグ4の表面とTi層を反応させ、シリサイドを形成する。これにより、ポリシリコンプラグ4と上層に形成されるキャパシタ電極とのコンタクト抵抗を低減させることができる。また、この熱処理によりTiN層が緻密化され、密着層7としての機能が向上する。

【0034】次に、図3(B)に示すように、第1の酸

化膜6の側壁部を含む全面に、キャパシタ電極の下部電極となるタングステン層(W層)あるいは窒化タングステン層(WN層)8を形成する。WまたはWN層8の形成は、スパッタリングあるいはメタルCVD法により行うことができる。ここで、犠牲膜(第2の酸化膜6')の上部には、Ti/TiN層からなる密着層7が形成されているため、WまたはWN層8との層間剥離が防止される。

【0035】次に、図4(A)に示すように、第2の酸化膜6'が除去されるまで全面にCMPを行う。このCMP工程により第2の酸化膜6'の上部および側面に形成された密着層7とWまたはWN層8が除去される。これにより、ポリシリコンプラグ4とのコンタクトである底部にのみバリア層5が形成され、側壁には密着層のないシリンドラ型の下部電極8が形成される。続いて、図4(B)に示すように、例えばフッ酸を用いたウェットエッチングにより電極間の第1の酸化膜6を除去する。

【0036】あるいは、上記の図4(A)および(B)に示す工程は、ポリシリコンプラグ4上部の開口を例えばシリコン酸化膜(不図示)を用いて埋め込み、CMPのかわりに全面エッチバックを行ってもよい。第2の酸化膜6'が除去されるまで全面エッチバックを行い、第2の酸化膜6'の上部および側面に形成された密着層7とWまたはWN層8を除去し、シリンドラ型の下部電極8を形成する。その後、例えばフッ酸を用いたウェットエッチングにより電極間の第1の酸化膜6および埋め込み酸化膜(不図示)を除去する。これにより、図4(B)に示すような構造となる。

【0037】第2の酸化膜6'の除去をCMPで行う場合、あるいは全面エッチバックで行う場合のいずれも、下部電極としてタングステン(W)層を用いる場合には、下部電極8の側壁を露出させた後、表面に窒化処理を行って酸化防止層(不図示)を形成する。次に、図1(A)に示すように、キャパシタ絶縁膜9として例えばTa<sub>2</sub>O<sub>5</sub>層を堆積させてから、Ta<sub>2</sub>O<sub>5</sub>層のリーク電流を低減させるため、500~600℃のO<sub>2</sub>またはO<sub>3</sub>雰囲気中でアニールを行う。続いて、例えばスパッタリングによりTi等の金属膜を上部電極10として堆積させる。その後、所望の領域を残して、上部電極10、キャパシタ絶縁膜9およびSi<sub>3</sub>N<sub>4</sub>層2を除去することにより、本実施形態の記憶ノード電極が形成される。

【0038】上記の本実施形態の半導体記憶装置の形成方法によれば、電極下部にのみバリア層5を有し、電極側壁部には密着層のないシリンドラ型キャパシタを形成できるため、キャパシタの容量損失や、電極側壁におけるリーク電流を低減させることが可能となる。

【0039】(実施形態2) 本実施形態においては、シリンドラ型の下部電極を形成するための酸化膜の開口を逆テーパ状とすることにより、開口側壁への密着層の堆

積を防止する。実施形態1においては、図2(A)に示すように、第2の酸化膜6'をマスクとして第1の酸化膜6にエッチングを行うが、本実施形態の場合、図5

(A)に示すように第2の酸化膜は形成しない。

【0040】以下に、本実施形態の半導体記憶装置の製造方法について説明する。まず、実施形態1と同様に層間絶縁膜1にコンタクトホール3を設け、コンタクトホール3内にポリシリコンプラグ4を形成する。コンタクトホール3を含む層間絶縁膜1の上層に、エッチングストップパー層として $\text{Si}_3\text{N}_4$ 層2を形成する。その上層に、シリンドラ型電極を形成するための犠牲膜となる酸化膜6を形成する。次に、図5(A)に示すように、レジスト(不図示)をマスクとして酸化膜6にエッチングを行い、コンタクトホール3に達する開口を形成する。このエッチングは、開口の側壁へのスパッタが起りにくい条件(例えば、ハロゲン系ガスの比率を低くする等、側壁保護を弱くする条件)で行う。これにより、開口の断面が逆テーパ状となる。

【0041】その後、実施形態1の図3(A)に示す工程と同様に、酸化膜6に設けられた開口の側壁を除き、 $\text{Ti}/\text{TiN}$ 層を形成する。 $\text{Ti}/\text{TiN}$ 層は、例えばコリメテッドスパッタリング等、指向性の高い成膜方法で形成する。開口の底部(ポリシリコンプラグ4の上面部)に堆積された $\text{Ti}/\text{TiN}$ 層はバリア層5となり、酸化膜6の表面に堆積された $\text{Ti}/\text{TiN}$ 層は密着層となる。続いて、650℃程度の熱処理(RTA)を行いポリシリコンプラグ4の表面と $\text{Ti}$ 層を反応させてシリサイドを形成し、ポリシリコンプラグ4上部のコンタクト抵抗を低減させる。この熱処理工程において、密着層である $\text{TiN}$ 層の緻密化も行う。

【0042】さらに、図3(B)に示す工程と同様に、酸化膜6の側壁部を含む全面に、キャパシタ電極の下部電極となるタングステン層(W層)あるいは窒化タングステン層(WN層)8を、スパッタリングあるいはメタルCVD法により形成する。ここで、酸化膜6の上部は密着層である $\text{Ti}/\text{TiN}$ 層によって被覆されているため、WまたはWN層8の層間剥離が防止される。図4(A)および(B)に示す工程と同様にして、CMPあるいは全面エッチバックにより酸化膜6表面の密着層およびWまたはWN層8を除去し、シリンドラ型の下部電極8を形成する。さらに、電極間の酸化膜6(全面エッチバックの場合は、酸化膜6および埋め込み酸化膜)を除去する。

【0043】その後、図5(B)に示すように、WまたはWNからなる下部電極8にキャパシタ絶縁膜9として例えば $\text{Ta}_2\text{O}_5$ 層を堆積させてから、500~600℃の $\text{O}_2$ または $\text{O}_3$ 雰囲気中でアニールを行い $\text{Ta}_2\text{O}_5$ 層のリーク電流を低減させる。続いて、例えばスパッタリングにより $\text{Ti}$ 等の金属膜を上部電極10として堆積させる。その後、所望の領域を残して上部電極10、

キャパシタ絶縁膜9および $\text{Si}_3\text{N}_4$ 層2を除去し、記憶ノード電極を形成する。本実施形態の半導体記憶装置の製造方法によっても、電極下部にのみバリア層5を有し、電極側壁部には密着層のないシリンドラ型キャパシタを形成できる。これにより、キャパシタの容量損失や、電極側壁におけるリーク電流を低減させることが可能となる。

【0044】(実施形態3)図6(A)は本実施形態の半導体記憶装置の記憶ノード電極部分を表す断面図である。層間絶縁膜1にコンタクトホール3が設けられており、コンタクトホール3内にはポリシリコンプラグ4が形成されている。ポリシリコンプラグ4の上部にはバリア層5を介してシリンドラ型の下部電極8が形成されており、下部電極8を被覆するようにキャパシタ絶縁膜9および上部電極10が形成されている。下部電極8の側壁には、バリア層あるいは密着層は形成されない。

【0045】次に、上記の本実施形態の半導体記憶装置の製造方法について説明する。まず、図6(B)に示すように、例えばシリコン酸化膜からなる層間絶縁膜1に、エッチングによりコンタクトホール3を形成する。コンタクトホール3を埋め込むように、全面にポリシリコン層を形成した後、層間絶縁膜1上のポリシリコン層をエッチバックあるいはCMPにより除去する。これにより、ポリシリコンプラグ4が形成される。あるいは、ポリシリコン層のかわりにアモルファスシリコン層を形成し、加熱により結晶化させてもよい。コンタクトホール内にプラグとして埋め込まれるシリコンは、不純物含有して導電性であれば、上記のようにポリシリコンでもアモルファスシリコンでもよい。

【0046】シリコンからなるプラグ4が埋め込まれた層間絶縁膜1の上層に、 $\text{Ti}$ 層および $\text{TiN}$ 層(以下、 $\text{Ti}/\text{TiN}$ 層)を積層させ、密着層5を形成する。密着層5の上層に、例えば減圧CVD法によりエッチングストップパー層としてシリコン窒化膜( $\text{Si}_3\text{N}_4$ 層)2'を形成し、 $\text{Si}_3\text{N}_4$ 層2'の上層に酸化膜6を形成する。酸化膜6はシリンドラ形状のキャパシタ電極を形成するための犠牲膜であり、キャパシタ電極の高さ程度の膜厚とする。酸化膜6の上層に、酸化膜6と下部電極8との密着層7となる $\text{TiN}$ 層をスパッタリング等の方法により形成する。その後、650℃程度の熱処理、好適にはRTAを行ってポリシリコンプラグ4の表面とバリア層5の $\text{Ti}$ 層を反応させ、シリサイドを形成する。これにより、ポリシリコンプラグ4と上層に形成されるキャパシタ電極とのコンタクト抵抗が低減される。

【0047】次に、図7(A)に示すように、レジスト(不図示)をマスクとして密着層7にエッチングを行ってから、レジストを除去する。パターニングされた密着層7をマスクとして酸化膜6および $\text{Si}_3\text{N}_4$ 層2'にエッチングを行い、プラグ4の上面のバリア層5を露出させる。酸化膜6および $\text{Si}_3\text{N}_4$ 層2'のエッチング

は、例えば反応性イオンエッチング（RIE）等、異方性のドライエッチングで行うことが好ましい。

【0048】次に、図7（B）に示すように、酸化膜6の側壁部を含む全面に、キャパシタ電極の下部電極となるタングステン層（W層）あるいは窒化タングステン層（WN層）8を形成する。WまたはWN層8の形成は、スパッタリングあるいはメタルCVD法により行うことができる。ここで、ポリシリコンプラグ4の上面および層間絶縁膜1の露出部分は、バリア層5であるTi/TiN層によって被覆されており、ポリシリコンプラグ4と下部電極材料との反応が防止される。また、酸化膜6の上層には密着層7が形成されているため、酸化膜6とWまたはWN層8との層間剥離が防止される。

【0049】次に、図8（A）に示すように、密着層7が除去されるまで全面にCMPを行う。このCMP工程により密着層7の上部に形成されたWまたはWN層8が除去される。続いて、図8（B）に示すように、下部電極8をマスクとして酸化膜6、Si<sub>3</sub>N<sub>4</sub>層2'およびバリア層5にエッチングを行う。これにより、ポリシリコンプラグ4との接触である底部にのみバリア層5が形成され、側壁には密着層のないシリンダ型の下部電極8が形成される。

【0050】あるいは、上記の図8（A）および（B）に示す工程は、ポリシリコンプラグ4上部の開口を例えばシリコン酸化膜（不図示）を用いて埋め込み、CMPのかわりに全面エッチバックを行ってもよい。密着層7が除去されるまで全面エッチバックを行うことにより、密着層上部のWまたはWN層8を除去して、シリンダ型の下部電極8を形成する。その後、下部電極8をマスクとして酸化膜6、埋め込み酸化膜（不図示）、Si<sub>3</sub>N<sub>4</sub>層2'およびバリア層5にエッチングを行う。これにより、図8（B）に示すような構造となる。

【0051】密着層7の除去をCMPで行う場合、あるいは全面エッチバックで行う場合のいずれも、下部電極としてタングステン（W）層を用いる場合には、下部電極8の側壁を露出させた後、表面に窒化処理を行って酸化防止層（不図示）を形成する。次に、図6（A）に示すように、WまたはWNからなる下部電極にキャパシタ絶縁膜9として例えばTa<sub>2</sub>O<sub>5</sub>層を堆積させてから、500～600℃のO<sub>2</sub>またはO<sub>3</sub>雰囲気中でアニールを行いTa<sub>2</sub>O<sub>5</sub>層のリーク電流を低減させる。続いて、例えばスパッタリングによりTi等の金属膜を上部電極10として堆積させる。その後、所望の領域を残して上部電極10およびキャパシタ絶縁膜9を除去することにより、本実施形態の記憶ノード電極が形成される。

【0052】上記の本発明の実施形態の半導体記憶装置の製造方法によれば、電極下部にのみバリア層を有し、電極側壁部には密着層のないシリンダ型キャパシタを形成できる。これにより、電極側壁部の密着層もしくはバリア層に起因するキャパシタの容量損失やリーク電流を

低減できる。また、トランジスタとキャパシタを電氣的に接続するポリシリコンプラグと、キャパシタの下部電極との界面には、バリア層が形成されるため、プラグ材料（特にポリシリコン）と電極材料との反応が防止される。

【0053】上記の本発明の実施形態の半導体記憶装置によれば、容量損失やリーク電流が低減され、キャパシタの実効面積を有効に使用することが可能となる。したがって、キャパシタ電極対の面積を縮小することが可能となり、シリンダ型電極の高さを低減できる。これにより、キャパシタ周辺に形成されるコンタクトホールのアスペクト比が低減され、メモリセルを微細化できるため、半導体記憶装置の大容量化が可能となる。

【0054】本発明の半導体記憶装置およびその製造方法の実施形態は、上記の説明に限定されない。例えば、キャパシタ絶縁膜としては上記のTa<sub>2</sub>O<sub>5</sub>以外に酸化イットリウム（Y<sub>2</sub>O<sub>3</sub>）やSTO（SrTiO<sub>3</sub>）、BTO（BaTiO<sub>3</sub>）あるいはBSTO（Ba<sub>1-x</sub>Sr<sub>x</sub>TiO<sub>3</sub>）等のペロブスカイト型酸化物からなる高誘電体膜を形成してもよい。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

#### 【0055】

【発明の効果】本発明の半導体記憶装置によれば、電極側壁部の密着層あるいはバリア層に起因する容量損失や、キャパシタ絶縁膜のリーク電流増加が防止される。一方、キャパシタ下部にはバリア層が形成されているため、プラグ材料と電極材料との反応が防止される。これにより、キャパシタの実効面積が確保され、キャパシタ電極対の面積を縮小できるため、半導体記憶装置の大容量化が可能となる。本発明の半導体記憶装置の製造方法によれば、シリンダ型電極の側壁部には密着層あるいはバリア層を形成せず、電極の下部にのみバリア層を形成することができる。これにより、プラグ材料と下部電極との反応を防止しながら、電極側壁部における容量損失やリーク電流を抑制することが可能となる。

#### 【図面の簡単な説明】

【図1】（A）は本発明の実施形態1に係る半導体記憶装置の記憶ノード電極部分を表す断面図であり、（B）は本発明の実施形態1に係る半導体記憶装置の製造方法の製造工程を表す断面図である。

【図2】（A）および（B）は本発明の実施形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図3】（A）および（B）は本発明の実施形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図4】（A）および（B）は本発明の実施形態1に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図5】（A）は本発明の実施形態2に係る半導体記憶

装置の製造方法の製造工程を示す断面図であり、(B)は本発明の実施形態2に係る半導体記憶装置の記憶ノード電極部分を表す断面図である。

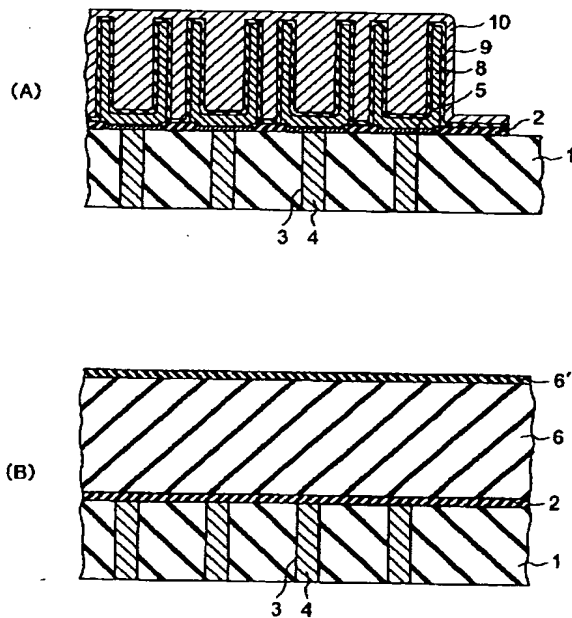
【図6】(A)は本発明の実施形態3に係る半導体記憶装置の記憶ノード電極部分を表す断面図であり、(B)は本発明の実施形態3に係る半導体記憶装置の製造方法の製造工程を表す断面図である。

【図7】(A)および(B)は本発明の実施形態3に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

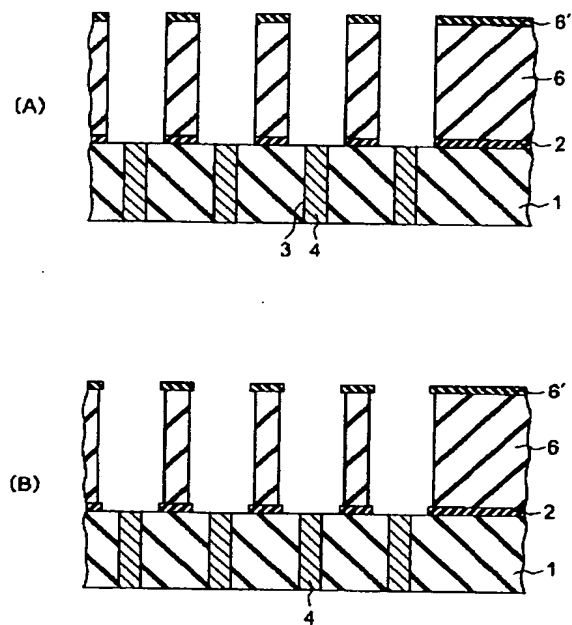
【図8】(A)および(B)は本発明の実施形態3に係る半導体記憶装置の製造方法の製造工程を示す断面図である。

【図9】(A)および(B)は従来の半導体記憶装置の製造方法の製造工程を示す断面図である。

【図1】



【図2】



【図10】(A)は従来の半導体記憶装置の製造方法の製造工程を示す断面図であり、(B)は従来の半導体記憶装置の記憶ノード電極部分を表す断面図である。

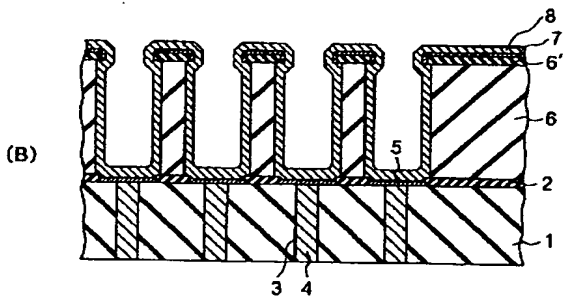
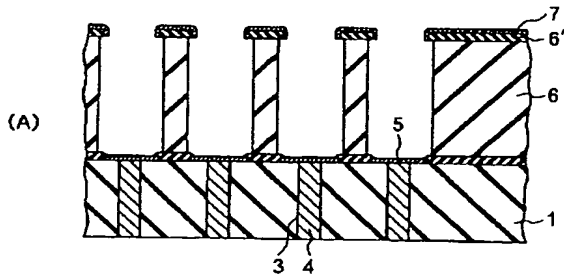
【図11】(A)および(B)は従来の半導体記憶装置の製造方法の製造工程を示す断面図である。

【図12】(A)は従来の半導体記憶装置の製造方法の製造工程を示す断面図であり、(B)は従来の半導体記憶装置の記憶ノード電極部分を表す断面図である。

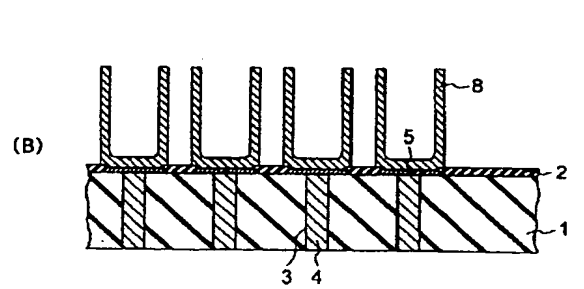
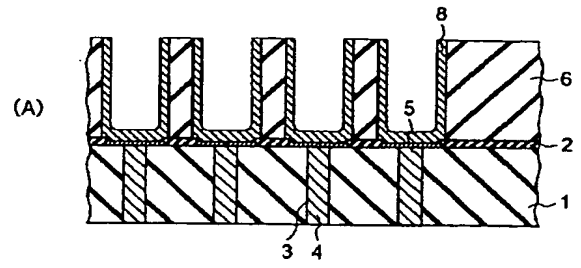
【符号の説明】

- 10 1…層間絶縁膜、2、2'…エッチングストッパー層 (Si<sub>3</sub>N<sub>4</sub>層)、3…コンタクトホール、4…(ポリシリコン)プラグ、5…バリア層 (Ti/TiN層)、6…(第1の)酸化膜、6'…第2の酸化膜、7…密着層 (Ti/TiN層)、8…下部電極 (WまたはWN層)、9…キャパシタ絶縁膜、10…上部電極。

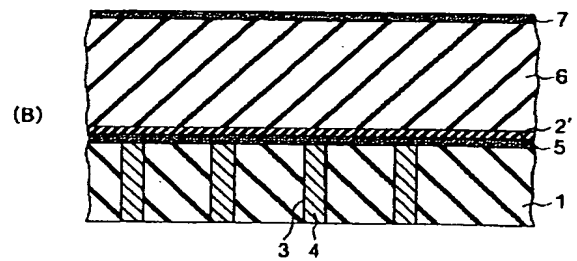
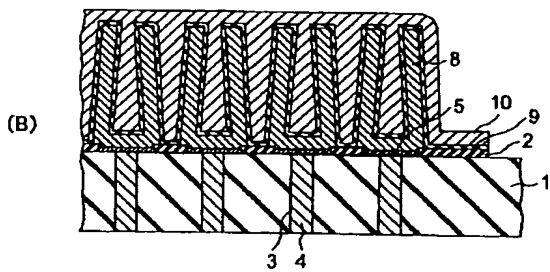
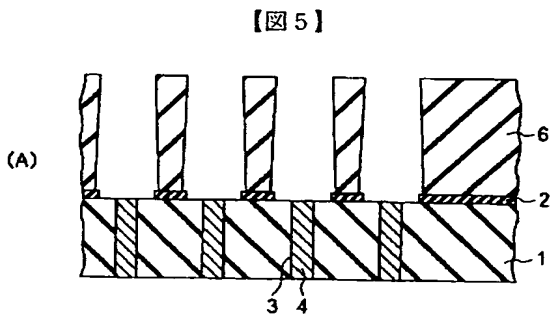
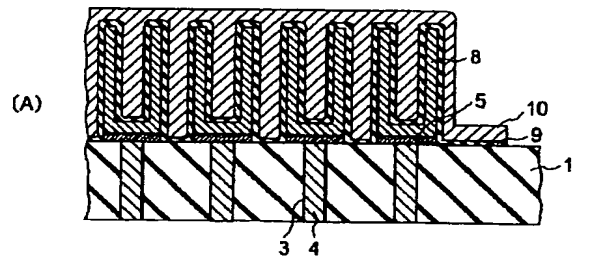
【図3】



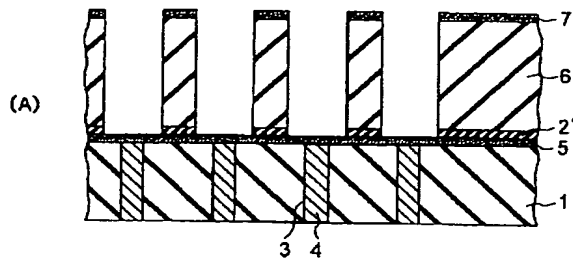
【図4】



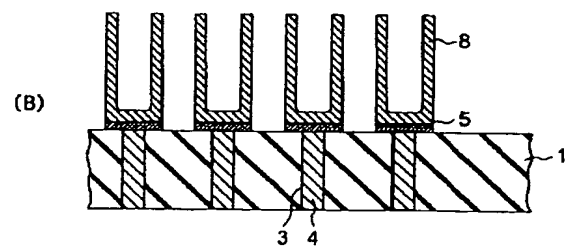
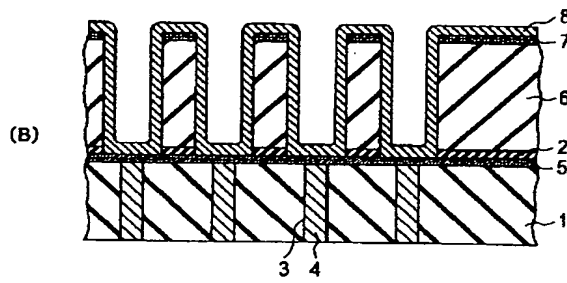
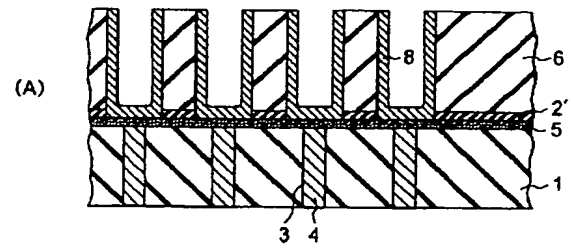
【図6】



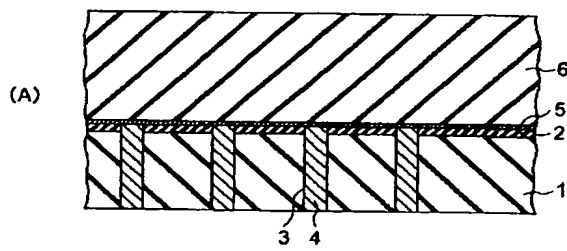
【図 7】



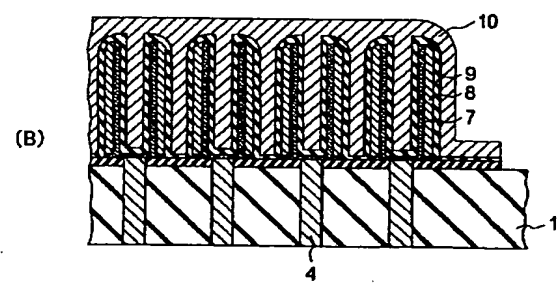
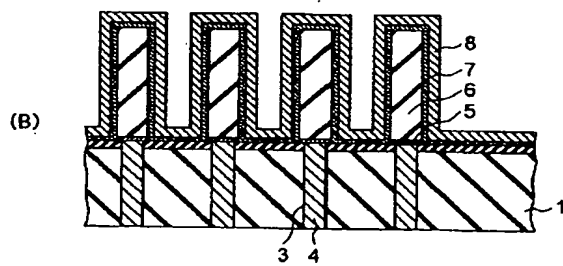
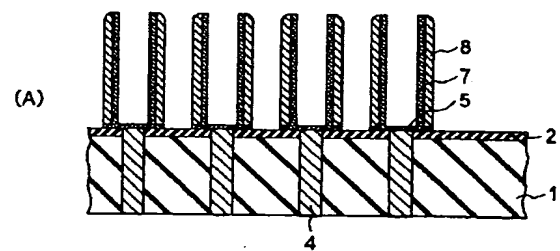
【図 8】



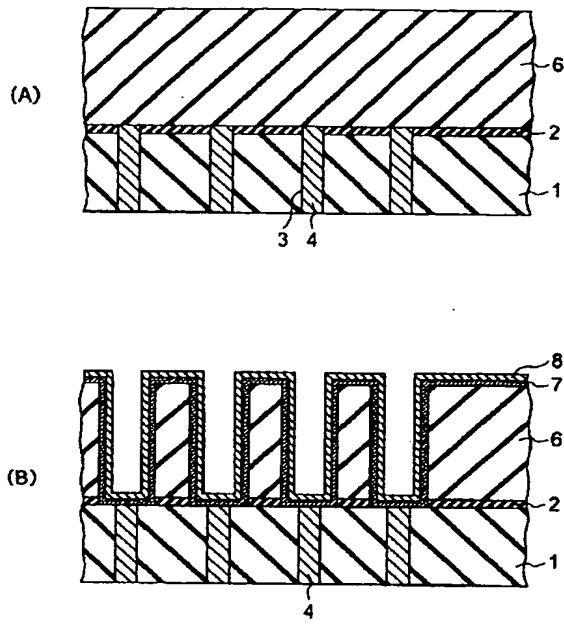
【図 9】



【図 10】



【図 11】



【図 12】

